

MICROPROCESSOR

Publication number: JP2000112757

Publication date: 2000-04-21

Inventor: SUGANUMA SHIGERU

Applicant: NIPPON ELECTRIC CO

Classification:


- International: G06F9/34; G06F9/30; G06F9/318; G06F9/34;
G06F9/30; G06F9/318; (IPC1-7): G06F9/34

- European: G06F9/30R4; G06F9/318D

Application number: JP19980280625 19981002

Priority number(s): JP19980280625 19981002

Also published as:

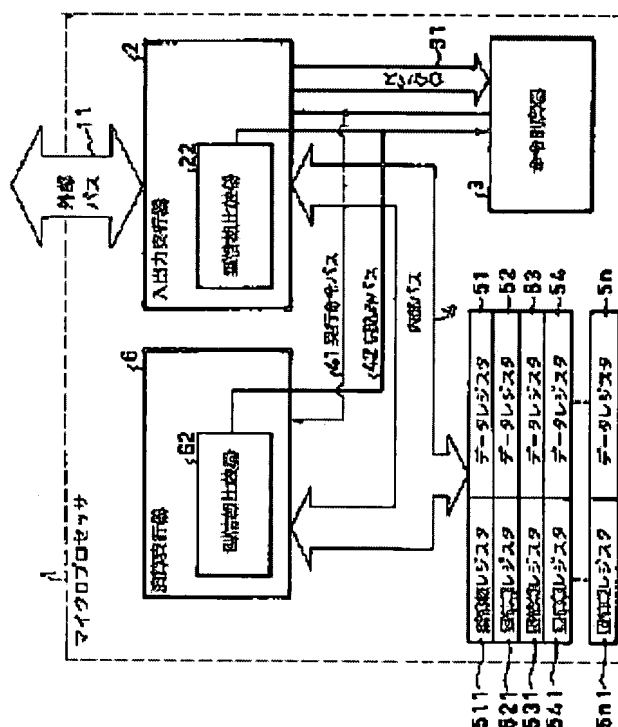
 US6460135 (B1)

Report a data error here

Abstract of JP2000112757

PROBLEM TO BE SOLVED: To assure operation of a program even if the bit width of a register is changed by the expansion of the bit width due to the generation change of a microprocessor.

SOLUTION: Type information comparators 22 and 62 compare type information of the executing result of an instruction and type information of a type information register attached to a data register requested by the instruction with each other to generate exceptional interruption in the case of mismatching. An input/output execution unit 2 simultaneously receives data of the data register and type information of the type information register attached to the data register to execute input/output with outside through an external bus 11. An arithmetic executor 6 simultaneously receives data of the data register and type information of type information register attached to the data register and executes arithmetic. An instruction controller 3 analyzes an instruction word inputted from the execution unit 2 to send an instruction to the execution unit 2 and the executor 6 and inputs exceptional interruption from the comparators 22 and 62 to start dedicated exceptional processing.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-112757
(P2000-112757A)

(43)公開日 平成12年4月21日(2000.4.21)

(51)Int.Cl. ⁷	識別記号	F I	キーワード(参考)
G 0 6 F 9/34	3 3 0	G 0 6 F 9/34 3 3 0	5 B 0 3 3

審査請求 有 請求項の数17 O L (全 16 頁)

(21)出願番号 特願平10-280625

(22)出願日 平成10年10月2日(1998.10.2)

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 菅沼 滋

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100088890

弁理士 河原 純一

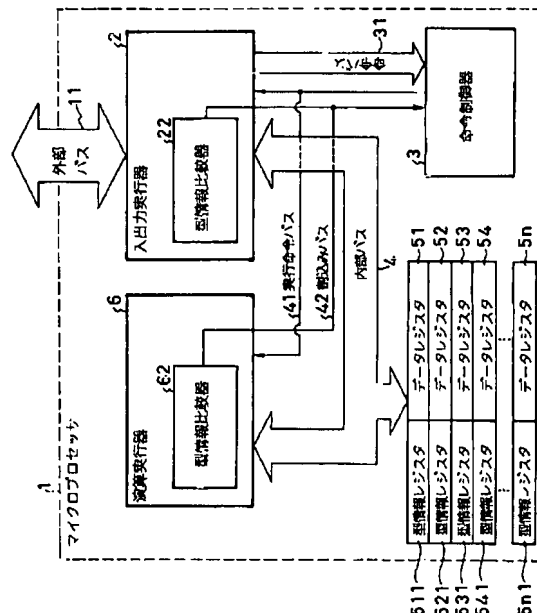
Fターム(参考) 5B033 AA11 BA04 BB03 BD02 DC04
DD04 FA10

(54)【発明の名称】 マイクロプロセッサ

(57)【要約】

【課題】 マイクロプロセッサの世代交代によるビット幅拡張によってレジスタのビット幅に変更が生じた場合にもプログラムの動作を保証する。

【解決手段】 型情報比較器22、62は、命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタの型情報とを比較し、不一致の場合には例外割込みを発生する。入出力実行器2は、データレジスタのデータと該データレジスタに付随する型情報レジスタの型情報とを同時に受信し、外部バス11を通じて外部との入出力を行う。演算実行器6は、データレジスタのデータと該データレジスタに付随する型情報レジスタの型情報とを同時に受信し、演算を実行する。命令制御器3は、入出力実行器2から入力した命令語を解析し、命令を入出力実行器2および演算実行器6に送出するとともに、型情報比較器22、62から例外割込みを入力し専用の例外処理を起動する。



【特許請求の範囲】

【請求項1】 複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、実行結果の型情報を指定した命令の実行に際して該命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタの型情報とを比較し、該命令の実行結果の型情報と該型情報レジスタの型情報とが不一致の場合には例外割込みを発生する型情報比較器とを有することを特徴とするマイクロプロセッサ。

【請求項2】 複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、実行結果の型情報を指定した命令の実行に際して該命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタの型情報とを比較する型情報比較器と、この型情報比較器により該命令の実行結果の型情報と該型情報レジスタの型情報とが不一致であることが検出された場合にはマイクロプロセッサ固有の設定に基づいてデータの型変換を行う型変換器とを有することを特徴とするマイクロプロセッサ。

【請求項3】 複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、実行結果の型情報を指定した命令の実行に際して該命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタの型情報とを比較し、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはマイクロプロセッサ固有の設定に基づいてデータの型変換を実行する型変換器とを有することを特徴とするマイクロプロセッサ。

【請求項4】 複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、複数の型情報レジスタの型情報を比較して、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器とを有することを特徴とするマイクロプロセッサ。

【請求項5】 複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、前記内部バスを介し

て前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、複数の型情報レジスタの型情報を比較する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはマイクロプロセッサ固有の設定に基づいてデータの型変換を実行する型変換器とを有することを特徴とするマイクロプロセッサ。

【請求項6】 複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、複数の型情報レジスタの型情報を比較して、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはマイクロプロセッサ固有の設定に基づいてデータの型変換を実行する型変換器とを有することを特徴とするマイクロプロセッサ。

【請求項7】 複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、実行結果の型情報を指定した命令の実行に際して該命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタの型情報とを比較し、該命令の実行結果の型情報と該型情報レジスタの型情報とが不一致の場合には例外割込みを発生する型情報比較器と、前記型情報比較器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型情報比較器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、演算を実行する演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令バスを介して前記入出力実行器および前記演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有することを特徴とするマイクロプロセッサ。

【請求項8】 複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報

とを同時に転送可能な内部バスと、実行結果の型情報およびデータの型情報を行および列とし、型変換の実行可否を行列要素とする型変換テーブルと、実行結果の型情報を指定した命令の実行に際して該命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタの型情報との組み合わせが型変換を実行する組み合わせであるかどうかを前記型変換テーブルを参照して判断し、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはデータの型変換を実行する型変換器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、演算を実行する演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令バスを介して前記入出力実行器および前記演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有することを特徴とするマイクロプロセッサ。

【請求項9】 複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、実行結果の型情報およびデータの型情報を行および列とし、型変換の実行可否を行列要素とする型変換テーブルと、実行結果の型情報を指定した命令の実行に際して該命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタの型情報との組み合わせが型変換を実行する組み合わせであるかどうかを前記型変換テーブルを参照して判断し、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはデータの型変換を実行する型変換器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型変換テーブル、前記型情報比較器および前記型変換器を含む型整合器と、型識別器を含む固定小数点演算実行器と、型識

別器を含む浮動小数点演算実行器とを備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、演算を実行する演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令バスを介して前記入出力実行器および前記演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有することを特徴とするマイクロプロセッサ。

【請求項10】 複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、実行結果の型情報およびデータの型情報を行および列とし、型変換の実行可否を行列要素とする型変換テーブルと、実行結果の型情報を指定した命令の実行に際して該命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタの型情報との組み合わせが型変換を実行する組み合わせであるかどうかを前記型変換テーブルを参照して判断し、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはデータの型変換を実行する型変換器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、固定小数点演算を実行する固定小数点演算実行器と、前記型情報比較器、前記型変換テーブルおよび前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、浮動小数点演算を実行する浮動小数点演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令バスを介して前記入出力実行器、前記固定小数点演算実行器または前記浮動小数点演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有することを特徴とするマイクロプロセッサ。

【請求項11】 複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前

記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、複数の型情報レジスタの型情報を比較し、これら型情報が不一致の場合には例外割込みを発生する型情報比較器と、前記型情報比較器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型情報比較器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、演算を実行する演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令バスを介して前記入出力実行器および前記演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有することを特徴とするマイクロプロセッサ。

【請求項12】 複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、データの型情報を行および列とし、型変換の実行可否を行列要素とする型変換テーブルと、複数の型情報レジスタの型情報を比較し、これら型情報の組み合わせが型変換を実行する組み合わせであるかどうかを前記型変換テーブルを参照して判断し、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはデータの型変換を実行する型変換器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、演算を実行する演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令バスを介して前記入出力実行器および前記演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有することを特徴とするマイクロプロセッサ。

【請求項13】 複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報

報とを同時に転送可能な内部バスと、データの型情報を行および列とし、型変換の実行可否を行列要素とする型変換テーブルと、複数の型情報レジスタの型情報を比較し、これら型情報の組み合わせが型変換を実行する組み合わせであるかどうかを前記型変換テーブルを参照して判断し、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはデータの型変換を実行する型変換器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型変換テーブル、前記型情報比較器および前記型変換器を含む型整合器と、型識別器を含む固定小数点演算実行器と、型識別器を含む浮動小数点演算実行器とを備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、演算を実行する演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令バスを介して前記入出力実行器および前記演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有することを特徴とするマイクロプロセッサ。

【請求項14】 複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、データの型情報を行および列とし、型変換の実行可否を行列要素とする型変換テーブルと、複数の型情報レジスタの型情報を比較し、これら型情報の組み合わせが型変換を実行する組み合わせであるかどうかを前記型変換テーブルを参照して判断し、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはデータの型変換を実行する型変換器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、固定小数点演算を実行する固定小数点演算実

行器和、前記型情報比較器、前記型変換テーブルおよび前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、浮動小数点演算を実行する浮動小数点演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令バスを介して前記入出力実行器、前記固定小数点演算実行器または前記浮動小数点演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有することを特徴とするマイクロプロセッサ。

【請求項15】 前記型変換テーブルが、マイクロプロセッサの特殊命令により書換え可能である請求項8、9、10、12、13または14記載のマイクロプロセッサ。

【請求項16】 前記型情報が、データ型および有効ビット幅でなる請求項1、2、3、4、5、6、7、8、9、10、11、12、13または14記載のマイクロプロセッサ。

【請求項17】 前記請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15または16記載のマイクロプロセッサをコアとして組み込んだことを特徴とする大規模集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマイクロプロセッサおよびマイクロプロセッサをコアとして組み込んだ大規模集積回路（LSI；Large Scale Integrated circuit）に関し、特に汎用レジスタ（以下、単にレジスタという）を内蔵するマイクロプロセッサおよびマイクロプロセッサをコアとして組み込んだLSIに関する。

【0002】

【従来の技術】マイクロプロセッサの内部に設けられているレジスタは、一般に全て固定されたビット幅であり、実データの有効ビット幅と一致しない場合、例えば、実データの有効ビット幅がレジスタのビット幅より小さい場合には、レジスタの上位ビットのデータは無効である。レジスタに保持されているデータの有効ビット幅は、該レジスタへのデータロードを行う命令により設定されるため、マイクロプロセッサ用のコンパイラは、マイクロプロセッサのレジスタのビット幅と、実データの有効ビット幅との整合性を保証しなくてはならない。

【0003】ところで、マイクロプロセッサのレジスタのビット幅は、プロセッサの世代が更新される毎に伸張する傾向にある。ビット幅は、8ビット、16ビット、32ビット、64ビット、128ビットと2倍ずつ伸張されてきている。一方、マイクロプロセッサは、過去のソフトウェア資産を生かすために、バイナリーレベルでの上位互換を保証するものが多く、原則的に過去のプロ

グラムがそのまま実行できるように設計されている（例えば、特開昭63-5432号公報参照）。

【0004】

【発明が解決しようとする課題】しかし、上述した従来のマイクロプロセッサでは、レジスタのビット幅が伸張された場合、過去のプログラムでは、伸張された部分のビットについての考慮がなされていないため、ソフトウェア的な不具合が発生する可能性があるという問題点があった。特に、この傾向は、特定の世代のマイクロプロセッサ用に命令を最適化した場合に生じやすい。

【0005】さらに、レジスタに保持されるデータのデータ型は、有効ビット幅によって規定される整数型以外に、固定小数点型、浮動小数点型、ベクトル型といったデータ型もあり、これらのデータ型の管理や変換は、コンパイラの制御上複雑な問題である。

【0006】本発明の第1の目的は、マイクロプロセッサの世代交代によるビット幅拡張によってレジスタのビット幅に変動が生じた場合にもプログラムの動作を保証することができるようにしたマイクロプロセッサを提供することにある。

【0007】また、本発明の第2の目的は、プログラムの開発初期段階で問題となるデータ型の誤りによるバグの発生を未然に防止できるようにしたマイクロプロセッサを提供することにある。

【0008】さらに、本発明の第3の目的は、上述したマイクロプロセッサをコアとして含むLSIを提供することにある。

【0009】

【課題を解決するための手段】本発明のマイクロプロセッサは、複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、実行結果の型情報を指定した命令の実行に際して該命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタの型情報とを比較し、該命令の実行結果の型情報と該型情報レジスタの型情報とが不一致の場合には例外割込みを発生する型情報比較器とを有する。

【0010】また、本発明のマイクロプロセッサは、複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、実行結果の型情報を指定した命令の実行に際して該命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタの型情報とを比較する型情報比較器と、この型情報比較器により該命令の実行結果の型情報と該型情報レジスタの型情報とが不一致であることが検出された場合にはマイクロプロセッサ固有の設定に基づいてデータの型変換を行う型変換器とを有する。

【0011】さらに、本発明のマイクロプロセッサは、複数のデータレジスタと、前記データレジスタの各々に

付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、実行結果の型情報を指定した命令の実行に際して該命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタの型情報とを比較し、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはマイクロプロセッサ固有の設定に基づいてデータの型変換を実行する型変換器とを有する。

【0012】さらにまた、本発明のマイクロプロセッサは、複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、複数の型情報レジスタの型情報を比較し、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器とを有する。

【0013】また、本発明のマイクロプロセッサは、複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、複数の型情報レジスタの型情報を比較する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはマイクロプロセッサ固有の設定に基づいてデータの型変換を実行する型変換器とを有する。

【0014】さらに、本発明のマイクロプロセッサは、複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、複数の型情報レジスタの型情報を比較して、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはマイクロプロセッサ固有の設定に基づいてデータの型変換を実行する型変換器とを有する。

【0015】さらにまた、本発明のマイクロプロセッサは、複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、実行結果の型情報を指定した命令の実行に際して該命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタの型情報とを比較し、該命令の実行結果の型情報と該型情報レジスタの型情報とが不一致の場合には例外割込みを発生する型情報比較器と、前記型情報比較器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型情報比較器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、演算を実行する演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令バスを介して前記入出力実行器および前記演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有する。

【0016】また、本発明のマイクロプロセッサは、複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、実行結果の型情報およびデータの型情報を行および列とし、型変換の実行可否を行列要素とする型変換テーブルと、実行結果の型情報を指定した命令の実行に際して該命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタの型情報との組み合わせが型変換を実行する組み合わせであるかどうかを前記型変換テーブルを参照して判断し、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはデータの型変換を実行する型変換器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、演算を実行する演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令

バスを介して前記入出力実行器および前記演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有する。

【0017】さらに、本発明のマイクロプロセッサは、複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、実行結果の型情報およびデータの型情報を行および列とし、型変換の実行可否を行列要素とする型変換テーブルと、実行結果の型情報を指定した命令の実行に際して該命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタの型情報との組み合わせが型変換を実行する組み合わせであるかどうかを前記型変換テーブルを参照して判断し、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはデータの型変換を実行する型変換器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型変換テーブル、前記型情報比較器および前記型変換器を含む型整合器と、型識別器を含む固定小数点演算実行器と、型識別器を含む浮動小数点演算実行器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、演算を実行する演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令バスを介して前記入出力実行器および前記演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有する。

【0018】さらにまた、本発明のマイクロプロセッサは、複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、実行結果の型情報およびデータの型情報を行および列とし、型変換の実行可否を行列要素とする型変換テーブルと、実行結果の型情報を指定した命令の実行に際して該命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタの型情報との組み合わせが型変換を実行する組み合わせであるかどうかを前記型変換テーブルを参照して判断し、これら型情報の組み合わせが型変換を実行する組み

合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはデータの型変換を実行する型変換器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、固定小数点演算を実行する固定小数点演算実行器と、前記型情報比較器、前記型変換テーブルおよび前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、浮動小数点演算を実行する浮動小数点演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令バスを介して前記入出力実行器、前記固定小数点演算実行器または前記浮動小数点演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有する。

【0019】また、本発明のマイクロプロセッサは、複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、複数の型情報レジスタの型情報を比較し、これら型情報が不一致の場合には例外割込みを発生する型情報比較器と、前記型情報比較器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型情報比較器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、演算を実行する演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令バスを介して前記入出力実行器および前記演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有する。

【0020】さらに、本発明のマイクロプロセッサは、複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、データの型情報を行および列とし、

型変換の実行可否を行列要素とする型変換テーブルと、複数の型情報レジスタの型情報を比較し、これら型情報の組み合わせが型変換を実行する組み合わせであるかどうかを前記型変換テーブルを参照して判断し、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはデータの型変換を実行する型変換器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、演算を実行する演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令バスを介して前記入出力実行器および前記演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有する。

【0021】さらにまた、本発明のマイクロプロセッサは、複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、データの型情報を行および列とし、型変換の実行可否を行列要素とする型変換テーブルと、複数の型情報レジスタの型情報を比較し、これら型情報の組み合わせが型変換を実行する組み合わせであるかどうかを前記型変換テーブルを参照して判断し、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはデータの型変換を実行する型変換器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型変換テーブル、前記型情報比較器および前記型変換器を含む型整合器と、型識別器を含む固定小数点演算実行器と、型識別器を含む浮動小数点演算実行器とを備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、演算を実行する演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令バスを介

して前記入出力実行器および前記演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有する。

【0022】また、本発明のマイクロプロセッサは、複数のデータレジスタと、前記データレジスタの各々に付随し該データレジスタに保持されるデータの型情報を保持する複数の型情報レジスタと、前記データレジスタのデータと前記型情報レジスタの型情報とを同時に転送可能な内部バスと、データの型情報を行および列とし、型変換の実行可否を行列要素とする型変換テーブルと、複数の型情報レジスタの型情報を比較し、これら型情報の組み合わせが型変換を実行する組み合わせであるかどうかを前記型変換テーブルを参照して判断し、これら型情報の組み合わせが型変換を実行する組み合わせでない場合には例外割込みを発生する型情報比較器と、この型情報比較器により前記型情報の組み合わせが型変換を実行する組み合わせであることが検出された場合にはデータの型変換を実行する型変換器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、外部バスを通じて外部との入出力を行う入出力実行器と、前記型変換テーブル、前記型情報比較器および前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、固定小数点演算を実行する固定小数点演算実行器と、前記型情報比較器、前記型変換テーブルおよび前記型変換器を備え、前記内部バスを介して前記データレジスタのデータと該データレジスタに付随する前記型情報レジスタの型情報とを同時に受信し、浮動小数点演算を実行する浮動小数点演算実行器と、前記入出力実行器から命令バスを介して入力した命令語を解析し、命令を実行命令バスを介して前記入出力実行器、前記固定小数点演算実行器または前記浮動小数点演算実行器に送出するとともに、前記型情報比較器から例外割込みを割込みバスを介して入力し専用の例外処理を起動する命令制御器とを有する。

【0023】本発明のマイクロプロセッサでは、内部のデータレジスタに型情報レジスタを付加し、データレジスタに保持されているデータの型情報（データ型および有効ビット幅）を示すことが可能である。型情報レジスタは、メモリからレジスタへのロード命令の実行または演算結果の格納の時点で、データの型情報を参照して更新される。レジスタへの各種命令の実行時、レジスタからデータを読み出す際に、データと同時に型情報も読み出し、各種制御情報とともに、内部バスに送出する。演算実行器では、型情報を検出し、命令に内包される型情報の指定あるいは他のデータの型情報との比較を行う。各データの型情報に不一致が生じた場合、自動的にデー

タの型変換を行うか、あるいは例外割込みを発生させてソフトウェア的に整合をとる。これにより、命令自身は、レジスタから送られたデータの型情報を意識することなく処理を行うことが可能となる。

【0024】

【発明の実施の形態】以下、本発明について図面を参照して詳細に説明する。

【0025】図1は、本発明の第1の実施の形態に係るマイクロプロセッサ1の構成を示す回路ブロック図である。本実施の形態に係るマイクロプロセッサ1は、型情報比較器22を含む入出力実行器2と、命令制御器3と、内部バス4と、型情報比較器62を含む演算実行器6と、入出力実行器2と外部とを接続する外部バス11と、命令制御器3と入出力実行器2および演算実行器6との間を接続する実行命令バス41と、型情報比較器22および62と命令制御器3との間を接続する割込みバス42と、複数のデータレジスタ51～5n（nは任意の正整数）と、データレジスタ51～5nの各々に付随する型情報レジスタ511～5n1とを含んで構成されている。

【0026】入出力実行器2は、外部バス11を使用して外部からの命令語の読み込みや外部に対するデータの入出力を行う。

【0027】命令制御器3は、命令バス31を介して入力した命令語を解析し、実行命令バス41を介して入出力実行器2または演算実行器6に命令（オペレーションコード）を送出する。また、命令制御器3は、割込みバス42を介して例外割込みを受けてソフトウェアによる専用の例外処理を起動するようになっている。

【0028】演算実行器6は、実行命令バス41を介して入力された命令に従った演算を行う。

【0029】データレジスタ51～5nは、固定ビット幅のレジスタである。

【0030】型情報レジスタ511～5n1は、データレジスタ51～5nの各々に対して該データレジスタに保持されるデータのデータ型および有効ビット幅を示す型情報を保持するレジスタである。

【0031】内部バス4は、データレジスタ51～5nのデータと型情報レジスタ511～5n1の型情報とを同時に転送可能なビット幅のバスである。内部バス4は、データレジスタ51～5nおよび型情報レジスタ511～5n1と入出力実行器2および演算実行器6との間を接続する。

【0032】型情報比較器22および62は、命令の実行に際して該命令の実行結果の型情報と該命令が要求するデータレジスタに付随する型情報レジスタに保持されている型情報とを比較する比較器である。型情報比較器22および62は、該命令の実行結果の型情報と型情報レジスタに保持されている型情報とが不一致の場合は、例外割込みを発生し、割込みバス42を介して命令制御

器3に通知する。

【0033】命令語は、演算に用いるデータの型情報（データ型および有効ビット幅）とは独立して、実行結果の型情報（データ型および有効ビット幅）を指定し得る。

【0034】図2は、第1の実施の形態に係るマイクロプロセッサ1において、命令語の内部で、実行結果の型情報（データ型および有効ビット幅）を指定する一例を図示したものである。命令語の内部には、オペレーションコード、レジスタ1およびレジスタ2の各フィールドの他に、実行結果の型情報（データ型および有効ビット長）を示す型情報フィールドが付加されている。型情報フィールドには、浮動小数点／固定小数点の別、ベクトル型／スカラー型の別、符号付き／符号無しの別、およびビット長（有効ビット幅）が指定できるようになっており、各ビットの値により実行結果のデータ型（データ型および有効ビット幅）を指定する。

【0035】図3は、第1の実施の形態に係るマイクロプロセッサ1における型情報（データ型および有効ビット幅）の比較過程を例示する図である。この例では、データ72は、データ71の半分の有効ビット幅であり、その旨が型情報711および721に反映されているものとする。

【0036】次に、このように構成された第1の実施の形態に係るマイクロプロセッサ1の動作について、図1ないし図3を参照して説明する。

【0037】入出力実行器2は、外部バス11より読み込んだ命令語を命令バス31を介して命令制御器3に入力させる。

【0038】命令制御器3は、入力された命令語を解析し、オペレーションコードが演算命令であることを示していれば、命令語中のレジスタ1のフィールドに基づいて、データレジスタ51～5nのうちの該当するデータレジスタに対して読み出し指示を行う。

【0039】読み出しを指示されたデータレジスタおよびそれに付随する型情報レジスタは、データおよび型情報（ここでは、データ71および型情報711とする）を同時に読み出し、内部バス4に送出する。

【0040】内部バス4に送出されたデータレジスタのデータ71および型情報711は、演算実行器6に入力される。

【0041】次に、命令制御器3は、入力された命令語中のレジスタ2のフィールドに基づいて、データレジスタ51～5nのうちの該当するデータレジスタに対して読み出し指示を行う。

【0042】読み出しを指示されたデータレジスタおよびそれに付随する型情報レジスタは、データおよび型情報（ここでは、データ72および型情報721とする）を同時に読み出し、内部バス4に送出する。

【0043】内部バス4に送出されたデータレジスタの

データ72および型情報721は、演算実行器6に入力される。

【0044】また、命令制御器3は、命令語中のオペレーションコードを実行命令バス41を介して演算実行器6に送出する。

【0045】次に、命令制御器3は、命令語中の型情報フィールドの型情報（実行結果の型情報）を実行命令バス41を介して演算実行器6に送出する。

【0046】演算実行器6では、まず、型情報比較器62が、型情報711と型情報721とを比較し、型情報711と型情報721とが不一致である場合は、例外割込みを発生させ、割込みバス42を介して命令制御器3に通知する。

【0047】図3の例では、データ71の有効ビット幅とデータ72の有効ビット幅とが異なっているので、型情報比較器62は、例外割込みを発生し、割込みバス42を介して命令制御器3に通知する。

【0048】命令制御器3は、割込みバス42を介して例外割込みを受けると、ソフトウェアによる専用の例外処理を起動する。

【0049】なお、型情報比較器62において、例外割込みを発生させずに、型情報711および型情報721の比較のみが行われるようにしてもよい。

【0050】型情報比較62による型情報711と型情報721との比較結果が一致であった場合には、演算実行器6は、データ71およびデータ72をオペランドとするオペランドコードに従って演算命令を実行し、演算結果の型情報が示すデータ型および有効データ幅の実行結果ならびにその型情報を内部バス4を介して該当するデータレジスタおよび型情報レジスタに格納する。

【0051】一方、命令制御器3は、入力された命令語のオペレーションコードが入出力命令であることを示していれば、命令語中のレジスタ1およびレジスタ2のフィールドに基づいて、データレジスタ51〜5nのうちの該当するデータレジスタに対して読み出し指示を行う。

【0052】また、命令制御器3は、命令語中のオペレーションコードを実行命令バス41を介して入出力実行器2に送出する。

【0053】次に、命令制御器3は、命令語中の型情報フィールドの型情報を実行命令バス41を介して入出力実行器2に送出する。

【0054】入出力実行器2では、型情報比較器22が、内部バス4を介して入力される型情報レジスタの型情報と実行命令バス41を介して入力される命令語中の型情報とを比較し、両型情報が一致していればオペレーションコードに従って入出力命令を実行する。

【0055】両型情報が異なっている場合は、型情報比較器22は、例外割込みを発生させ、割込みバス42を介して命令制御器3に通知する。

【0056】命令制御器3は、例外割込みを受けると、ソフトウェアによる専用の例外処理を起動する。

【0057】図4は、本発明の第2の実施の形態に係るマイクロプロセッサ1の構成を示す回路ブロック図である。本実施の形態に係るマイクロプロセッサ1は、図1に示した第1の実施の形態に係るマイクロプロセッサ1と比較して、入出力実行器2に型変換テーブル23および型変換器24が実装され、演算実行器6に型変換テーブル63および型変換器64が実装されている点だけが異なっている。したがって、その他の回路要素は、第1の実施の形態に係るマイクロプロセッサ1の場合と同様に構成されて同様に配置されているので、対応する回路要素には同一符号を付してそれらの詳しい説明を省略する。

【0058】図5は、第2の実施の形態に係るマイクロプロセッサ1において、型情報比較器62が、型変換テーブル63を用いて型変換器64を制御する過程を例示する図である。この例では、データ72は、データ71の半分の有効ビット幅であり、その旨が型情報711および721に反映されているものとする。

【0059】図6は、型変換テーブル23および63の内容を例示する図である。型変換テーブル23および63は、横軸がデータの型情報（データ型および有効ビット幅）に、縦軸が実行結果の型情報（データ型および有効ビット幅）にそれぞれ対応し、各行列要素に型変換が可能であるかあるいは例外割込みを発生する（型変換が不可能である）かが指定されている。

【0060】次に、このよう構成された第2の実施の形態に係るマイクロプロセッサ1の動作について、図4ないし図6を参照して、既述した第1の実施の形態に係るマイクロプロセッサ1の動作との相違点を中心に説明する。

【0061】第1の実施の形態に係るマイクロプロセッサ1の場合と同様に、内部バス4に送出されたデータレジスタのデータ71および型情報711とデータ72および型情報721とは、演算実行器6に順次入力される。

【0062】また、命令制御器3は、命令語中の型情報フィールドの型情報（実行結果の型情報）を実行命令バス41を経由して演算実行器6に送出する。

【0063】演算実行器6では、型情報比較器62が、型情報711と型情報721とを比較する。

【0064】また、型情報比較器62は、型変換テーブル63を参照して、型情報711と型情報721との組み合わせならびに型情報711および721と実行結果の型情報との組み合わせが、型変換を実行する組み合わせであるか否かを判定する。型変換を実行する組み合わせでない場合には、型情報比較器62は、第1の実施の形態に係るマイクロプロセッサ1の場合と同様に、例外割込みを割込みバス42を介して命令制御器3に送出す

る。型変換を実行する組み合わせの場合には、型変換器64が、データ71および72または演算結果を指定された型に変換する。図5の例では、データ72がデータ71と同じ有効ビット幅となるようにビット拡張され、データ72'に型変換されている。

【0065】なお、型情報比較器22および62において、例外割込みを発生させずに、型情報の比較およびデータの型変換のみが行われるようにしてもよい。

【0066】図7は、本発明の第3の実施の形態に係るマイクロプロセッサ1の構成を示す回路ブロック図である。本実施の形態に係るマイクロプロセッサ1は、図4に示した第2の実施の形態に係るマイクロプロセッサ1に対して、命令制御器3と型変換テーブル23および63との間を接続する型変換テーブル更新バス32を実装するようにしたものである。したがって、その他の回路要素は、第2の実施の形態に係るマイクロプロセッサ1の場合と同様に構成されて同様に配置されているので、対応する回路要素には同一符号を付してそれらの詳しい説明を省略する。

【0067】図8は、第3の実施の形態に係るマイクロプロセッサ1において、マイクロプロセッサ1の特殊命令により型変換テーブル23および63の行列表要素がどのように更新されるのかを例示する図である。

【0068】図9は、第3の実施の形態に係るマイクロプロセッサ1において、マイクロプロセッサ1の特殊命令により型変換テーブル23および63の複数の行列表要素を一括変換する例を示す図である。

【0069】次に、このように構成された第3の実施の形態に係るマイクロプロセッサ1の動作について、図7ないし図9を参照して、既述した第1および第2の実施の形態に係るマイクロプロセッサ1の動作との相違点を中心に説明する。

【0070】命令制御器3は、命令バス31を介して型変換テーブル23および63を更新する特殊命令を入力した場合、型変換テーブル更新バス32を用い、型変換テーブル23および63を更新する。1つの命令で型変換テーブル23および63の複数の行列表要素を更新するか、特定の行列表要素のみを更新するかは、マイクロプロセッサ1の命令の実装方法により異なる。

【0071】例えば、図8を参照すると、データの有効データ幅が16bit、実行結果の有効データ幅が8bitの行列表要素について、更新前は例外割込み処理であったが(図6参照)、更新後は変換可能に変更されている。

【0072】また、図9を参照すると、実行結果の有効ビット幅が64bitの行列表要素の全てが、型変換の実行から例外割込みの発生に変更されている。

【0073】図10は、本発明の第4の実施の形態に係るマイクロプロセッサ1の要部を示す回路ブロック図である。本実施の形態に係るマイクロプロセッサ1は、デ

ータの有効ビット幅以外のデータ型に違いがある場合にデータ型に応じて固定小数点演算実行器611または浮動小数点演算実行器612を選択するものであり、演算実行器6が、型情報比較器62、型変換テーブル63および型変換器64を含む型整合器60と、型識別器611を含む固定小数点演算実行器611と、型識別器6121を含む浮動小数点演算実行器612とから構成されている。なお、その他の回路要素は、図7に示した第3の実施の形態に係るマイクロプロセッサ1の場合と同様に構成されて同様に配置されているので、対応する回路要素には同一符号を付してそれらの詳しい説明を省略する。

【0074】次に、このように構成された第4の実施の形態に係るマイクロプロセッサ1の動作について、図10を参照して、既述した第1ないし第3の実施の形態に係るマイクロプロセッサ1の動作との相違点を中心に説明する。

【0075】いま、データ71および72は、ともに固定小数点データであり、かつデータ72は、データ71の半分の有効ビット幅であり、その旨が型情報711および721に反映されているものとする。

【0076】内部バス4を介してデータ71および型情報711ならびにデータ72および型情報721が型整合器60に入力されると、型情報比較器62は、データ71および72ともに固定小数点データであることを認識し、型情報テーブル63を参照して型変換を実行する組み合わせであると判断する。このため、型変換器64は、データ72をデータ72'に型変換して出力する。

【0077】出力されたデータ71および型情報711ならびにデータ72'および型情報721は、型整合器60を経てデータ71および72を固定小数点演算実行器611に送付されるが、同時に浮動小数点演算実行器621にも送付される。

【0078】固定小数点演算実行器611では、型識別器6111が、型情報711および721を参照してデータ71および72'が自演算実行器に対して送付されたデータであるかどうかを判定する。型情報711および721で示されるデータ型が固定小数点であるため、固定小数点演算実行器611は、データ71および72'を用いた固定小数点演算を実行する。

【0079】一方、浮動小数点演算実行器612では、型識別器6121が、型情報711および721を参照してデータ71および72'が自演算実行器に対して送付されたデータであるかどうかを判定する。型情報711および721で示されるデータ型が固定小数点であるため、型識別器6121は、データ型が合わないことを識別する。このため、浮動小数点演算実行器612は、データ71および72'を無視する。

【0080】なお、データ71および72'が浮動小数

点データである場合は、固定小数点演算実行器611がデータ71および72'を無視し、浮動小数点演算実行器612がデータ71および72'を用いて浮動小数点演算を実行することはいうまでもない。

【0081】図11は、本発明の第5の実施の形態に係るマイクロプロセッサ1の構成を示す回路ブロック図である。本実施の形態に係るマイクロプロセッサ1は、データの有効ビット幅以外のデータ型に違いがある場合に、データ型に応じて固定小数点演算実行器611または浮動小数点演算実行器612を選択するものであり、入出力実行器2と、命令制御器3と、内部バス4と、外部バス11と、命令バス31と、型変換テーブル更新バス32と、実行命令バス41と、割込みバス42と、データレジスタ51～5nと、型情報レジスタ511～5n1と、固定小数点演算実行器611と、浮動小数点演算実行器612とから、その主要部が構成されている。

【0082】固定小数点演算実行器611は、型情報比較器6112と、型変換テーブル6113と、型変換器6114とを含んで構成されている。

【0083】浮動小数点演算実行器612は、型情報比較器6122と、型変換テーブル6123と、型変換器6124とを含んで構成されている。

【0084】なお、第5の実施の形態に係るマイクロプロセッサ1は、図7に示した第3の実施の形態に係るマイクロプロセッサ1における演算実行器6を、固定小数点演算実行器611および浮動小数点演算実行器612に分割したものに相当するので、対応する回路要素には同一符号を付してそれらの詳しい説明を省略する。

【0085】次に、このように構成された第5の実施の形態に係るマイクロプロセッサ1の動作について、図11を参照して、既述した第1ないし第4の実施の形態に係るマイクロプロセッサ1の動作との相違点を中心に説明する。

【0086】命令制御器3は、入力された命令語を解析し、オペレーションコードが固定小数点演算命令であることを示していれば命令語中のオペレーションコードを実行命令バス41を介して固定小数点演算実行器611に送出し、オペレーションコードが浮動小数点演算命令であることを示していれば命令語中のオペレーションコードを実行命令バス41を介して浮動小数点演算実行器612に送出する。

【0087】固定小数点演算実行器611では、型情報比較器6112が、型変換テーブル6113を参照して型情報の比較を行い、型情報の組み合わせが型変換を実行する組み合わせであれば、型変換器6114が、データの型変換を行った上で固定小数点演算を実行する。また、型情報の組み合わせが型変換を実行する組み合わせでなければ、型情報比較器6112が、例外割込みを発生して割込みバス42を介して命令制御器3に送出する。

【0088】同様に、浮動小数点演算実行器612では、型情報比較器6122が型変換テーブル6123を参照して型情報の比較を行い、型情報の組み合わせが型変換を実行する組み合わせであれば、型変換器6124が、データの型変換を行った上で浮動小数点演算を実行する。また、型情報の組み合わせが型変換を実行する組み合わせでなければ、型情報比較器6122が、例外割込みを発生して割込みバス42を介して命令制御器3に送出する。

【0089】

【発明の効果】第1の効果は、マイクロプロセッサの世代交代によるビット幅拡張によってレジスタの有効ビット幅に変動が生じた場合に対し、プログラムの動作を保証することが可能になることである。その理由は、命令に使用するデータの型情報同士あるいはデータの型情報と命令の実行結果の型情報との組み合わせが型変換を実行する組み合わせであれば、データの型変換を自動的に行うようにしたからである。

【0090】第2の効果は、プログラムの開発初期段階で問題となる、データ型の誤りによるバグの発生を未然に防ぐことが可能になるということである。その理由は、命令に使用するデータの型情報同士あるいはデータの型情報と命令の実行結果の型情報との組み合わせが型変換を実行する組み合わせでなければ、例外割込みを発生して、例外処理を実行させるようにしたからである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るマイクロプロセッサの構成を示す回路ブロック図である。

【図2】第1の実施の形態に係るマイクロプロセッサにおいて使用する命令語の内容を例示する図である。

【図3】第1の実施の形態に係るマイクロプロセッサにおける型情報が一致しない場合の例外割込みの発生を説明する図である。

【図4】本発明の第2の実施の形態に係るマイクロプロセッサの構成を示す回路ブロック図である。

【図5】第2の実施の形態に係るマイクロプロセッサにおける型情報が一致しない場合に型変換を行う例を説明する図である。

【図6】図4および図5中の型変換テーブルの内容を例示する図である。

【図7】本発明の第3の実施の形態に係るマイクロプロセッサの構成を示す回路ブロック図である。

【図8】図6に示した型変換テーブルの行列要素が特殊命令により更新される場合を例示する図である。

【図9】図6に示した型変換テーブルの複数の行列要素が特殊命令により一括更新される場合を例示する図である。

【図10】本発明の第4の実施の形態に係るマイクロプロセッサの要部を示す回路ブロック図である。

【図11】本発明の第5の実施の形態に係るマイクロプロ

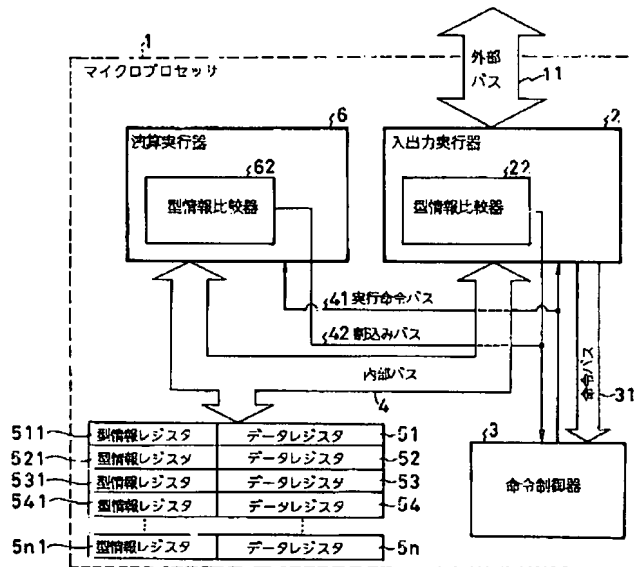
ロセッサの構成を示す回路ブロック図である。

【符号の説明】

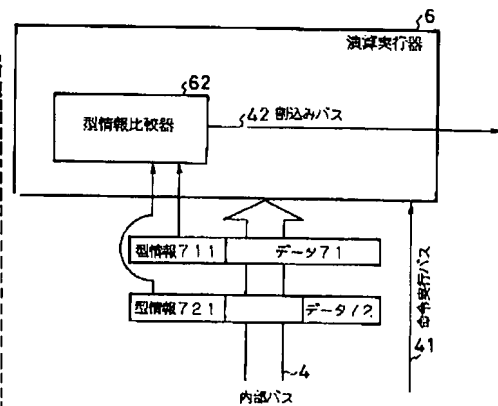
- 1 マイクロプロセッサ
- 2 入出力実行器
- 3 命令制御器
- 4 内部バス
- 6 演算実行器
- 11 外部バス
- 22 型情報比較器
- 23 型変換テーブル
- 24 型変換器
- 31 命令バス
- 32 型変換テーブル更新バス
- 41 実行命令バス

- 42 割込みバス
- 51～5n データレジスタ
- 62 型情報比較器
- 63 型変換テーブル
- 64 型変換器
- 71, 72 データ
- 72' 変換されたデータ
- 511～5n1 型情報
- 611 固定小数点演算実行器
- 612 浮動小数点演算実行器
- 711, 721 型情報
- 6112, 6122 型情報比較器
- 6113, 6123 型変換テーブル
- 6114, 6124 型変換器

【図1】



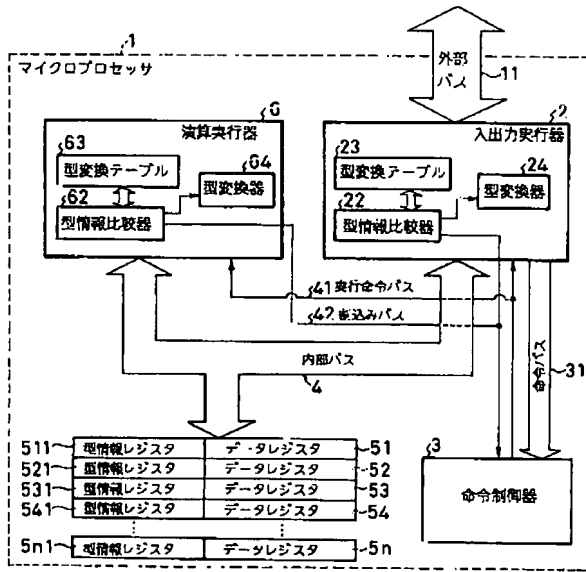
【図3】



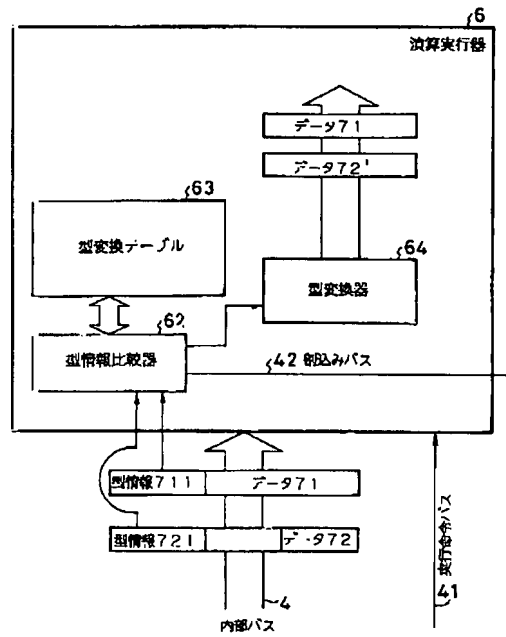
【図2】

オペレーション コード	レジスタ1	レジスタ2	型情報フィールド
浮動小数点/ 固定小数点	ベクトル型 /スカラー型	符号付き/ 符号無し	ビット長(000~100; 8~126)

【図4】



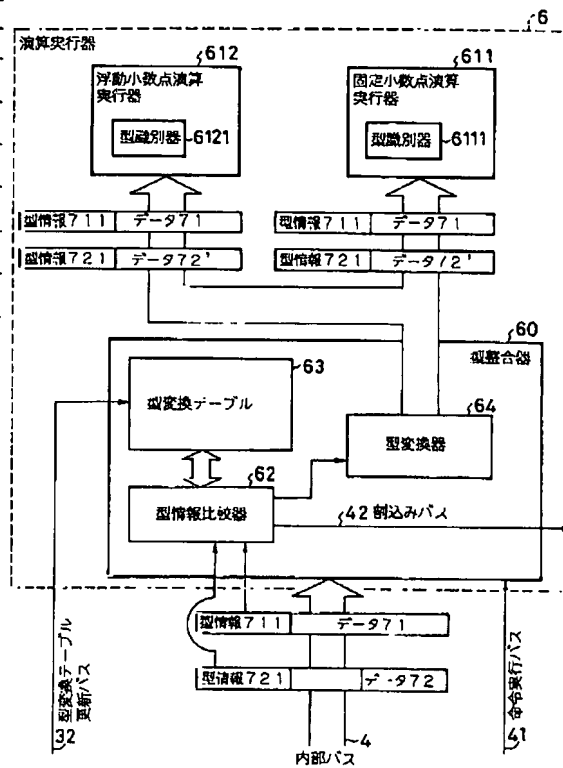
【図5】



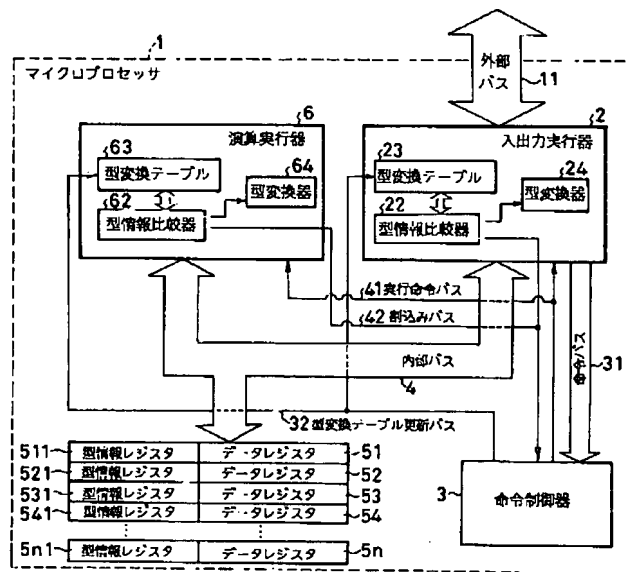
【図6】

		データの型情報				
		浮動小数点／固定小数点				
		ベクトル型／スカラー型				
		符号なし				
実行結果の型情報 浮動小数点／固定小数点 ベクトル型／スカラー型	符号なし	8bit	16bit	32bit	64bit	128bit
		8bit	可	割込	割込	割込
		16bit	可	可	割込	割込
		32bit	可	可	可	割込
		64bit	可	可	可	割込
		128bit	可	可	可	可

【図10】



【図7】



【図8】

実行結果の型情報 浮動小数点／固定小数点 ベクトル型／スカラ型		データの型情報					
		浮動小数点／固定小数点					
		ベクトル型／スカラ型					
		符号なし					
		8bit	16bit	32bit	64bit	128bit	
符号なし	8bit	可	可 8bit→16bit可	割込	割込	割込	
	16bit	可	可	割込	割込	割込	
	32bit	可	可	可	割込	割込	
	64bit	可	可	可	可	割込	
	128bit	可	可	可	可	可	

データ16bit
実行結果8bit
変換可

データ型の情報					
浮動小数点／固定小数点					
ベクトル型／スカラー型					
符号なし					
	8bit	16bit	32bit	64bit	128bit
実行結果の型情報 浮動小数点／固定小数点 ベクトル型／スカラー型	8bit	可	割込→ 変換可	割込	割込
	16bit	可	可	割込	割込
	32bit	可	可	可	割込
	64bit	変換可→ 割込	変換可→ 割込	変換可→ 割込	割込→ 割込
	128bit	可	可	可	可

【図 1 1】

